

SEMICONDUCTOR DEVICE

Patent Number: JP2271673

Publication date: 1990-11-06

Inventor(s): GOTO MAKIO

Applicant(s): SEIKO EPSON CORP

Requested Patent: JP2271673

Application Number: JP19890094102 19890413

Priority Number(s):

IPC Classification: H01L29/784; H01L27/088

EC Classification:

Equivalents: JP2773220B2

Abstract

PURPOSE: To improve the resistance to static electricity and to provide a high quality integrated circuit by providing a region, where no silicide is formed, on both sides of a drain and a source of an output transistor Tr of the integrated circuit.

CONSTITUTION: There are provided separate regions I and II as shown by a broken line, the region II indicating an internal Tr and the region I an output part Tr. An evidenced from the figure, although in the region II a source-drain region 107 is wholly covered with Ti silicide 108, in the region I the source-drain region 107 includes a region where no Ti silicide 108 is provided. Hereby, satisfactory resistance is provided between a wiring material and a source-drain end, presenting a very strong structure a very strong structure against static electricity.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報 (A) 平2-271673

⑬ Int. Cl. 5

H 01 L 29/784
27/088

識別記号

府内整理番号

⑭ 公開 平成2年(1990)11月6日

8422-5F H 01 L 29/78 301 K
7735-5F 27/08 102 D

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-94102

⑰ 出 願 平1(1989)4月13日

⑱ 発明者 後藤 万亀雄 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出願人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

⑳ 代理人 弁理士 鈴木 喜三郎 外1名

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

ゲート電極及びソース・ドレイン領域に選択的にシリサイドを形成したTrを多数具備した集積回路において、前記集積回路の出力Trのドレイン、ソースの両側にシリサイドを形成しない領域を設けることを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置、詳しくはシリサイドTrを多数具備した集積回路の出力部の構造に関する。〔従来の技術〕

近年、半導体素子の微細化に伴い、ソース・ドレイン領域を形成する不純物拡散層を極めて浅くつくりこむ必要が出てきた。ところが不純物拡散

層を浅くすることは、ソース・ドレイン領域の高抵抗化につながり、Trの電流駆動能力を著しく劣化させる原因となる。このような問題を解決するために、ソース・ドレイン及びゲート電極上に選択的にシリサイドを形成し、前述したソース・ドレイン領域の抵抗を極めて低くした、いわゆるシリサイド構造のTrが提案された。

〔発明が解決しようとする課題〕

しかし、前述の従来技術、つまりシリサイドTrは、静電気に対して極めて弱いという課題を有する。

一般に、集積回路の静電気耐性は、入出力部の静電気に対する強さで決定される。入力部は保護抵抗等の手段により静電保護が行われるが、出力部は通常、静電保護は行われない。

出力Trの静電気に対する強さは、配線材からソース・ドレイン端(ゲート電極側)までの抵抗により決定される。(この抵抗が小さいと、静電破壊を起こしやすい。)

シリサイドTrはソース・ドレイン抵抗を極端

に下げるために、静電気には弱くなる。

本発明は、このような課題を解決するもので、その目的は、サリサイドT_rを具備した集積回路の静電気耐性を改善し、高品質な集積回路を提供することにある。

〔課題を解決するための手段〕

本発明の半導体装置は、サリサイドT_rを多数具備した集積回路において、前記集積回路の出力T_rのドレイン、ソースの両側にシリサイドを形成しない領域を設けることを特徴とする。

〔実施例〕

以下図面に基づき、本発明の実施例を詳細に説明する。

第1図(a)は、本発明による半導体装置を表わす断面図、第1図(b)は平面図であって、101はP型Si基板、102は素子分離用酸化膜、103はゲート酸化膜、104は高濃度リンがドープされた多結晶Siからなるゲート電極、105は低濃度n型不純物拡散層、106はサイドウォールスペーサー、107は高濃度不純物拡散層

(ソース・ドレイン)、108はT_iシリサイド、109は層間絶縁用酸化膜、110は配線材料用A_Lである。

尚、第1図は破線で示したように領域(I)と領域(II)に分離される。領域(II)は内部のT_rを表わし、領域(I)は出力部のT_rを表わす。図で明らかのように領域(II)はソース・ドレイン領域107上はすべてT_iシリサイド108によりおおわれているが、領域(I)にはソース・ドレイン領域107上にT_iシリサイド108が設けられていない領域を有する。

次に本発明の半導体装置の製造方法について、簡単に示す。

1) 101~106は公知の技術を用いて、容易に形成される。106を形成した後に、全面に100~300Åの酸化膜を化学的気相成長法で形成する。

2) AsあるいはP等の高濃度N型不純物をイオン注入し、電気炉あるいはハロゲンランプにてアニールを行い、ソース・ドレイン領域107を形

成する。

3) フォトレジストパターンを用い、前記領域(I)のソース・ドレイン領域の一部を残して前記100~300Åの酸化膜を希HFでエッチング除去する。

4) 全面にT_iを400~600Åスパッタ法で形成した後に、ハロゲンランプを用い700℃前後でアニールを行う。この時、ゲート電極104上、及びソース・ドレイン領域107上にはT_iシリサイドが形成されるが、領域(I)では、ソース・ドレイン領域の一部に100~300Åの酸化膜を残した部分にはT_iシリサイドは形成されない。

また、前記素子分離用酸化膜102上、サイドウォールスペーサー106上にもT_iシリサイドは形成されない。

5) 過酸化水素・アンモニアの水溶液を用い前記未反応のT_iを選択除去する。

6) 再びハロゲンランプを用い、800℃前後の温度でアニールを行った後に、化学的気相成長法

で層間絶縁用酸化膜109を形成し、コンタクトホール形成後、配線材料用A_L110をスパッタ法で形成しバーニングを行うことで本発明の半導体装置は完成する。

〔発明の効果〕

以上述べたように、本発明によれば、配線材料とソース・ドレイン端部間に十分な抵抗が得られるため、静電気に対しては極めて強い構造を提供できるという効果を有する。

4. 図面の簡単な説明

第1図(a)は本発明の半導体装置の断面図を示し、第1図(b)は本発明の半導体装置の平面図を示す。

101・・・P型Si基板

102・・・素子分離用酸化膜

103・・・ゲート酸化膜

104・・・ゲート電極

105・・・低濃度不純物拡散層

106...サイドウォールスペーサー

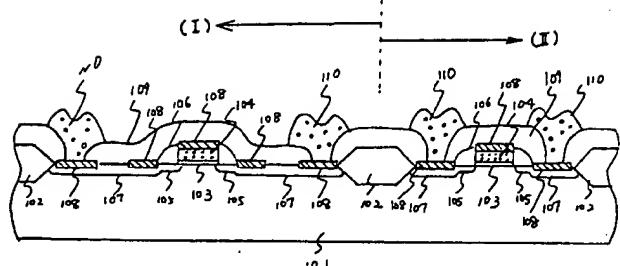
107...高濃度不純物拡散層

108...Tiシリサイド

109...層間絶縁用酸化膜

110...配線材料用Al

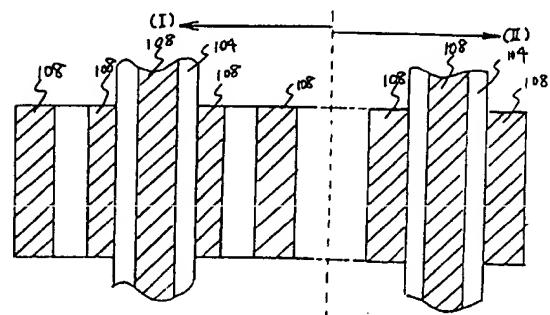
以上



第1図(a)

出願人 セイコーエプソン株式会社

代理人 弁理士 鈴木 喜三郎(他1名)



第1図(b)